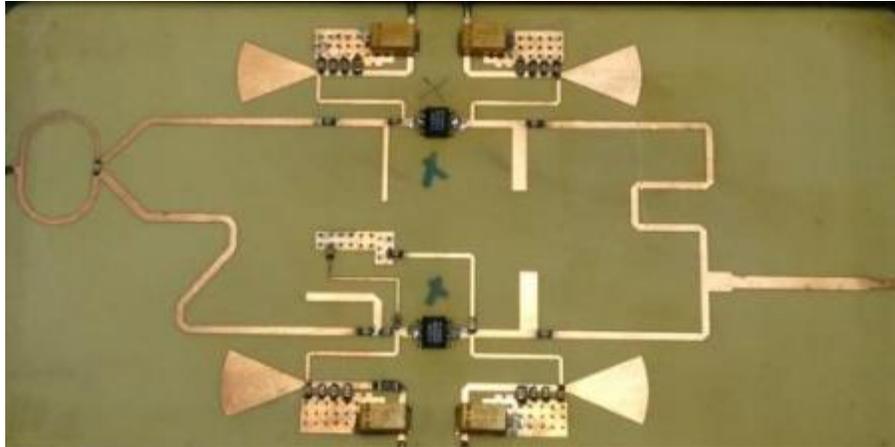


Laboratoire 2 du cours GEN 6083

Introduction au logiciel ADS (Advanced Design System)

Analyse de circuits actifs

Halim Boutayeb



Sommaire

1. Introduction	2
2. Détermination du point de polarisation DC	2
3. Étude de la stabilité	4
4. Traçage des cercles de bruit constant	6
5. Design du circuit d'adaptation à l'entrée	9
6. Design du circuit d'adaptation à la sortie	10
7. Simulation globale de l'amplificateur LNA	10

1. Introduction

Dans ce TP on présente un exemple d'illustration dans lequel on mettra en évidence les principales étapes dans le design d'un amplificateur à faible bruit (LNA) à 1 GHz.

2. Détermination du point de polarisation DC

La définition du point de polarisation d'un transistor dépend de son type. En effet, dans le cas d'un transistor de type BJT (*Bipolar Junction Transistor*), son point de polarisation est déterminée par le courant du collecteur (I_c) et la tension Collecteur-Emetteur (V_{ce}). Or la première étape dans le processus de design d'un amplificateur consiste à déterminer le point de polarisation adéquat en fonction de l'application envisagée (amplificateur de puissance, amplificateur à faible bruit, oscillateur...). Pour cela, il faut tracer la courbe de variation du courant du Collecteur en fonction de la tension du Collecteur pour différentes valeurs du courant à la Base.

- Traçage de la courbe I-V

Nous supposons dans ce que suit que le choix du transistor est fixé au transistor HP-AT41411 de la compagnie *Hewlett Packard* dont le modèle non linéaire figure dans la bibliothèque *RF-transistor Library /Packaged BJTs* du simulateur.

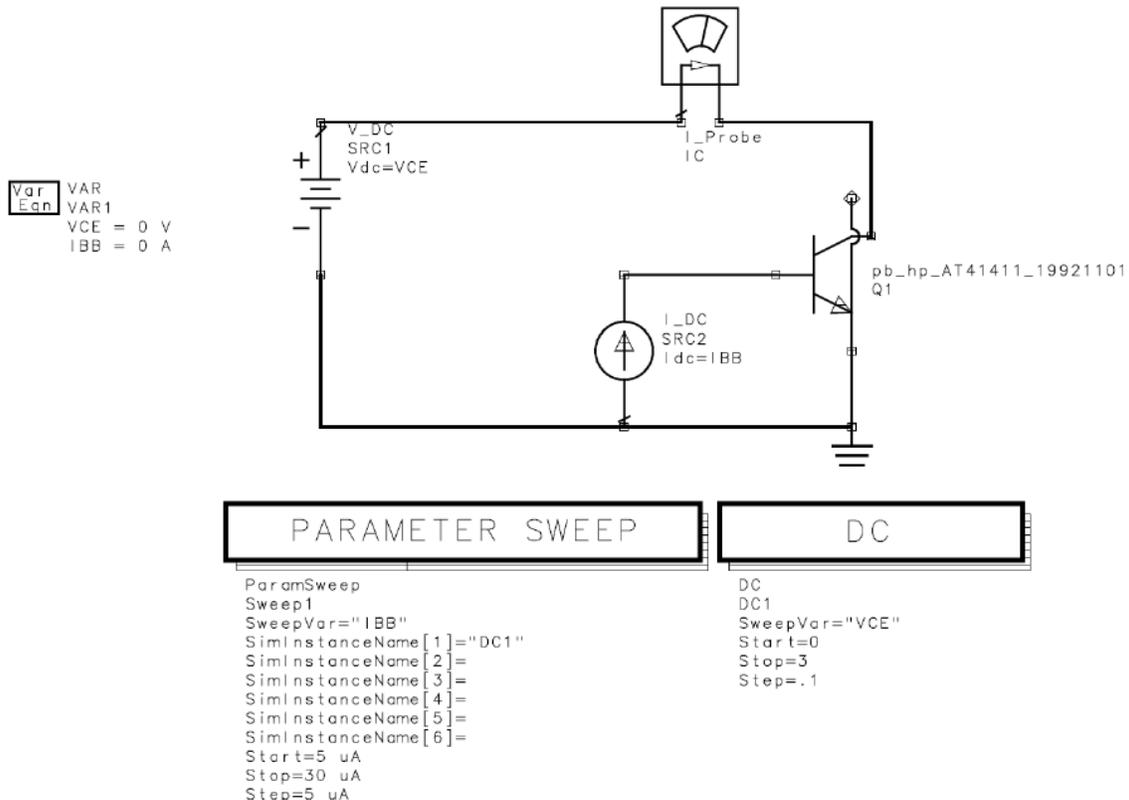


Figure 1: Schéma de simulation DC.

Dans cet exemple, nous utilisons une probe de courant (I_Prob), à partir de la palette de composants **Prob Component**, pour mesurer la valeur du courant du Collecteur. La valeur de la tension du Collecteur est mesurer à partir d'un noeud à qui on attribue le nom VCE. L'élément de contrôle dans ce cas est le DC_Simulation. On obtient cet élément à partir de la palette **DC_Simulation**. L'élément de contrôle refait l'analyse DC du circuit pour plusieurs valeurs de VCE définies par les valeurs **Start/Stop/Step**. Pour répéter l'analyse pour différentes valeurs de IBB, on utilise la commande **Parameter Sweep** de la palette **DC_Simulation**. Pour cela, il faut fixer le nom de la variable, ses valeurs possibles et le nom de l'élément de contrôle (dans ce cas "DC1"). Les paramètres variables dans une analyse doivent être initialisés. Pour cela, on utilise le bouton **Var Eqn** de la palette **Data Items**.

- Détermination du circuit de polarisation:
Étant donnée la courbe I-V du transistor, le concepteur doit choisir un point de polarisation dépendamment de l'application. Dans ce cas, on utilisera le transistor au point de fonctionnement ($I_c=10\text{ mA}$, $V_{CE}=8\text{V}$). En se basant sur ces données, on doit déterminer le circuit de polarisation DC du transistor. En d'autres termes, il faut déterminer les valeurs des résistances. Pour cela, nous utilisons le schéma suivant.

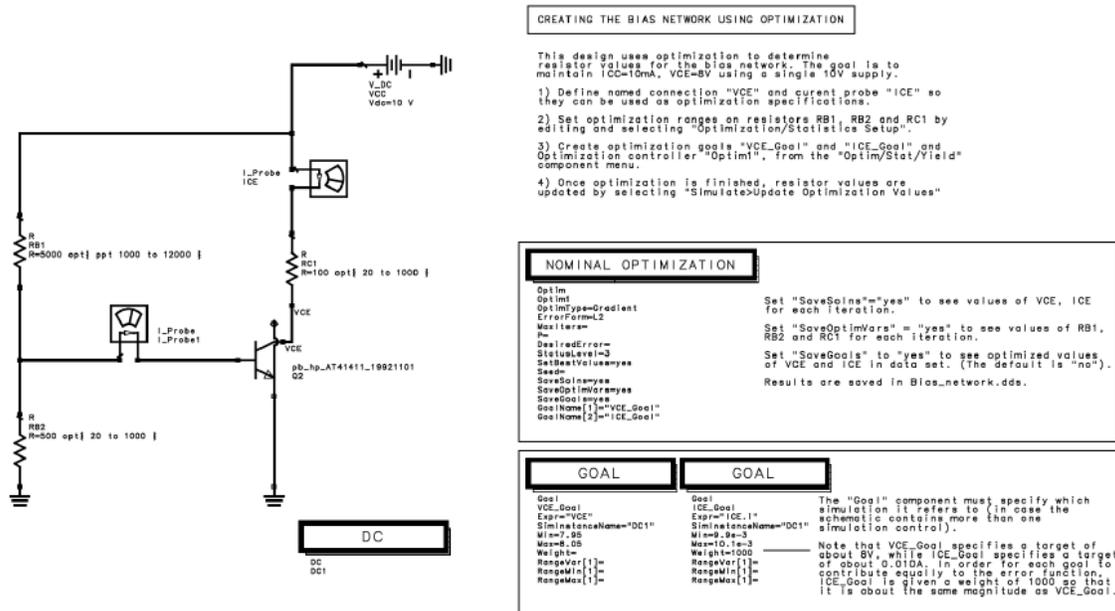


Figure 2: Circuit de polarisation DC du transistor.

Dans le schéma ci-dessus, on distingue un élément d'optimisation dans lequel on choisit le type d'algorithme d'optimisation; **Gradient**, **Hybrid**, **Random** et les noms des éléments **Goal** qui désignent les paramètres à optimiser.

2. Étude de la stabilité

Après le choix du point de polarisation du transistor en question et la détermination du circuit correspondant, il faut examiner la stabilité de ce dispositif. Pour cela, nous devons vérifier les critères de stabilités. Ceci revient à l'évaluation de K et B pour différentes valeurs de fréquence.

N.B. : Malgré que la fréquence d'opération de l'amplificateur à concevoir soit assez haute (1 GHz), l'étude la stabilité doit être effectuée en plus à basses fréquences (quelques dizaines MHz). En effet, le fait que le transistor admette un gain élevé à basse fréquence et qu'il est potentiellement instable donnera naissance à des oscillations.

Dans le chemin suivant, on montre le schéma du circuit de simulation permettant l'étude de la stabilité du transistor choisi. Dans ce schéma, on distingue en plus du transistor à étudier un élément de contrôle afin de préciser le type de simulation c'est à dire *S-Parameters* puisque l'étude de la stabilité se base sur les paramètres S du dispositif. L'élément de contrôle est configuré de telle façon que l'étude atteindra un intervalle de fréquences s'étalant de 100 MHz à 4 GHz avec un pas de 100 MHz. L'évaluation des paramètres de stabilité K et B est faite par le biais des équations prédéfinies; $K = \text{stab_fact}(S)$ et $B = \text{stab_meas}(S)$. Dans ce schéma on utilise une liste de paramètres S et de bruit du transistor, au point de polarisation $V_{ce} = 8V$ et $I_c = 10\text{ mA}$, fournie par le fabricant. Cette liste existe dans la bibliothèque *S-Parameters library* du simulateur.

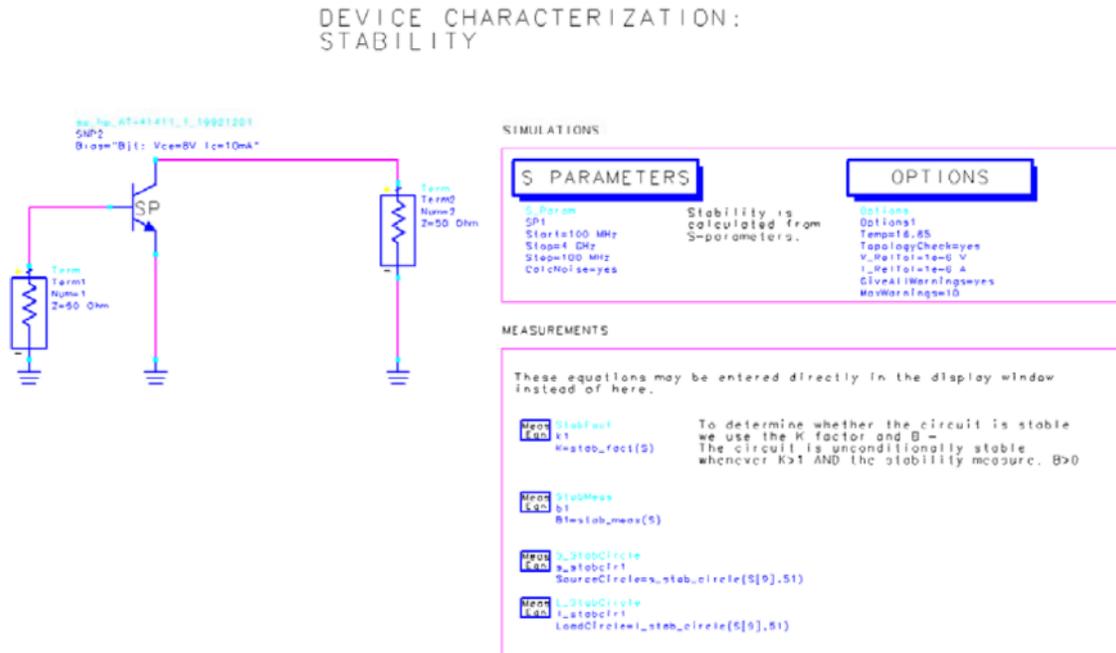
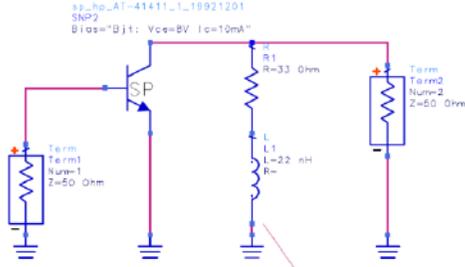


Figure 3 : Étude de la stabilité du transistor.

After adding output stability circuit



The circuit is resimulated with this stabilizing circuit activated. The inductor reduces the impact of the resistor on device noise figure and gain.

SIMULATIONS

S PARAMETERS	OPTIONS
S_Param	Stability is calculated from S-parameters.
S_F1	Options
Start=100 MHz	Options1
Stop=4 GHz	Temp=16.85
Step=100 MHz	TopologyCheck=yes
CalcNoise=yes	V_ReliTc1=6 V
	V_ReliTc2=6 A
	GiveAllWarnings=yes
	MaxWarnings=10

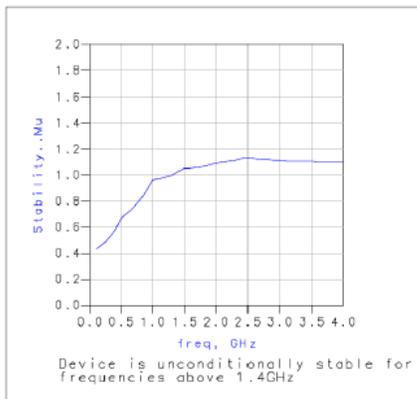
MEASUREMENTS

These equations may be entered directly in the display window instead of here.

Meas [Eqn] StabFact	Meas [Eqn] S_StabCircle
Kstab_fact(S)	SourceCircle=S_StabCircle(S[4],S1)
Meas [Eqn] StabMeas	Meas [Eqn] L_StabCircle
B1=stab_meas(S)	LoadCircle=L_StabCircle(S[4],S1)

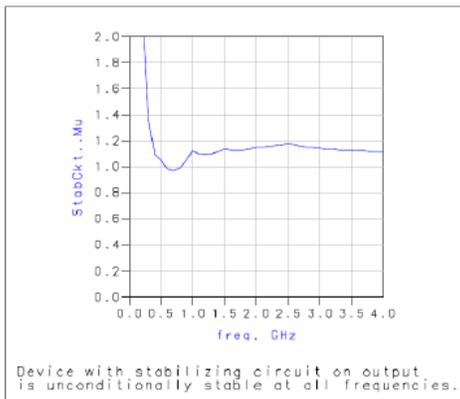
Figure 4 : Circuit de stabilisation du transistor.

BEFORE adding output stabilizing circuit:



freq	Stability..K	Stability..B1	Mu sh
100.000MHz	0.309	0.084	0.306
200.000MHz	0.318	0.497	0.497
300.000MHz	0.355	0.427	0.651
400.000MHz	0.427	0.540	0.771
500.000MHz	0.580	0.816	0.816
600.000MHz	0.834	0.857	0.857
700.000MHz	0.706	0.892	0.892
800.000MHz	0.802	0.923	0.923
900.000MHz	0.935	0.949	0.949
1.000GHz	0.948	0.984	0.984
1.200GHz	0.968	0.978	0.978
1.300GHz	0.998	0.992	0.992
1.400GHz	1.038	1.005	1.005
1.500GHz	1.090	1.018	1.018
1.600GHz	1.096	1.023	1.023
1.700GHz	1.106	1.029	1.029
1.800GHz	1.122	1.034	1.034
1.900GHz	1.144	1.040	1.040
2.000GHz	1.173	1.045	1.045
2.100GHz	1.185	1.055	1.055
2.200GHz	1.200	1.066	1.066
2.300GHz	1.218	1.076	1.076
2.400GHz	1.239	1.086	1.086
2.500GHz	1.264	1.096	1.096
2.600GHz	1.248	1.100	1.100
2.700GHz	1.236	1.104	1.104
2.800GHz	1.227	1.108	1.108
2.900GHz	1.222	1.112	1.112

AFTER adding output stabilizing circuit:



freq	StabCkt..B1	StabCkt..K	StabCkt..freq
100.000MHz	1.577	1.841	100.000MHz
200.000MHz	1.505	1.519	200.000MHz
300.000MHz	1.340	1.230	300.000MHz
400.000MHz	1.215	1.075	400.000MHz
500.000MHz	1.139	1.047	500.000MHz
600.000MHz	1.098	0.983	600.000MHz
700.000MHz	1.074	0.967	700.000MHz
800.000MHz	1.063	0.991	800.000MHz
900.000MHz	1.050	1.055	900.000MHz
1.000GHz	1.050	1.167	1.000GHz
1.100GHz	1.053	1.144	1.100GHz
1.200GHz	1.067	1.137	1.200GHz
1.300GHz	1.073	1.146	1.300GHz
1.400GHz	1.079	1.170	1.400GHz
1.500GHz	1.085	1.211	1.500GHz
1.600GHz	1.088	1.202	1.600GHz
1.700GHz	1.091	1.201	1.700GHz
1.800GHz	1.094	1.208	1.800GHz
1.900GHz	1.097	1.223	1.900GHz
2.000GHz	1.101	1.245	2.000GHz
2.100GHz	1.109	1.252	2.100GHz
2.200GHz	1.117	1.261	2.200GHz
2.300GHz	1.125	1.275	2.300GHz
2.400GHz	1.133	1.292	2.400GHz
2.500GHz	1.141	1.313	2.500GHz
2.600GHz	1.146	1.293	2.600GHz
2.700GHz	1.150	1.277	2.700GHz
2.800GHz	1.154	1.265	2.800GHz
2.900GHz	1.158	1.256	2.900GHz

Figure 5: Facteur de stabilité avant et après ajout du circuit de stabilisation.

Les résultats de l'étude de la stabilité du transistor avant l'ajout du circuit de stabilisation montrent que le transistor est inconditionnellement stable que pour des fréquences supérieures à 1.4 GHz. Or notre fréquence d'opération est égale à 1 GHz, la résistance montée à la sortie du transistor, en parallèle, permet de rendre le transistor stable à cette fréquence sans trop compromettre son facteur de bruit.

Les équations prédéfinies `S_stable_circle` et `L_stable_circle` sont respectivement l'équation du cercle de stabilité à la source et à la charge du transistor. Ils sont fortement indispensables dans la conception des circuits d'adaptation à l'entrée et à la sortie d'un transistor potentiellement instable. Les valeurs 51 et 9 dans chacune des équations représentent respectivement le nombre de point par cercle et l'indice de la fréquence correspondante (1 GHz) dans la liste de fréquences de simulation.

3. Traçage des cercles de bruit constant

Dans le cas du design d'un amplificateur à faible bruit, le concepteur doit examiner les caractéristiques du bruit du transistor à utiliser. Ces caractéristiques se résument aux trois paramètres

- Γ_{opt} : c'est le coefficient de réflexion à l'entrée pour avoir un facteur de bruit minimal.
- R_n : c'est la résistance de bruit qui quantifie la sensibilité du facteur de bruit à la variation de l'impédance de la source autour de la valeur optimale.
- F_{min} : la valeur minimale du facteur de bruit.

Dans la pratique le traçage de cercle de facteur de bruit constant s'avère plus commode et facilite la tâche au concepteur. Pour ce faire, le simulateur offre des équations prédéfinies qui moyennant un simple paramétrage permettront de tracer des cercles correspondants à des différentes valeurs du facteur de bruits. Il faut bien mentionner que l'élément de contrôle à utiliser pour ces fins est *S-Parameters* en initialisant la variable *CalNoise* de l'élément de contrôle à *YES*.

Dans la suite on présente le schéma de la simulation et la représentation de ses résultats dans une fenêtre d'affichage.

DEVICE CHARACTERIZATION:
NOISE CIRCLES AND S-PARAMETERS

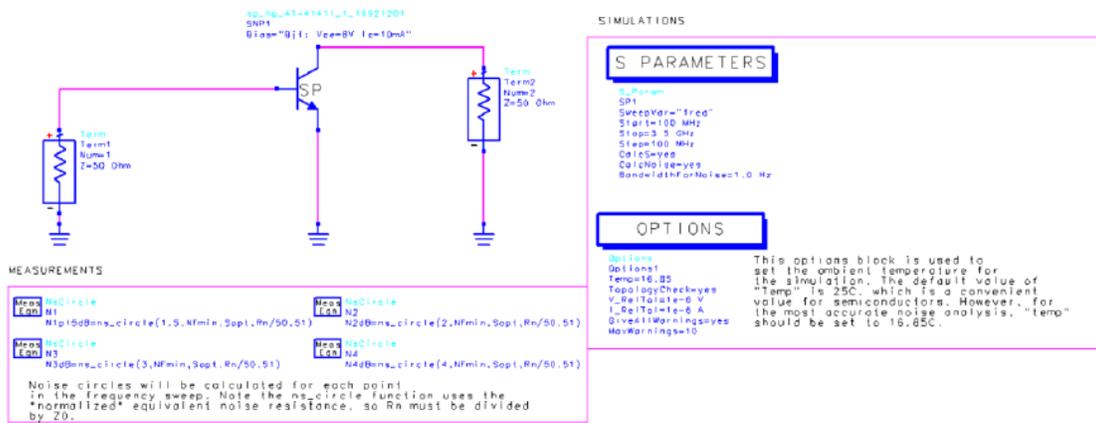
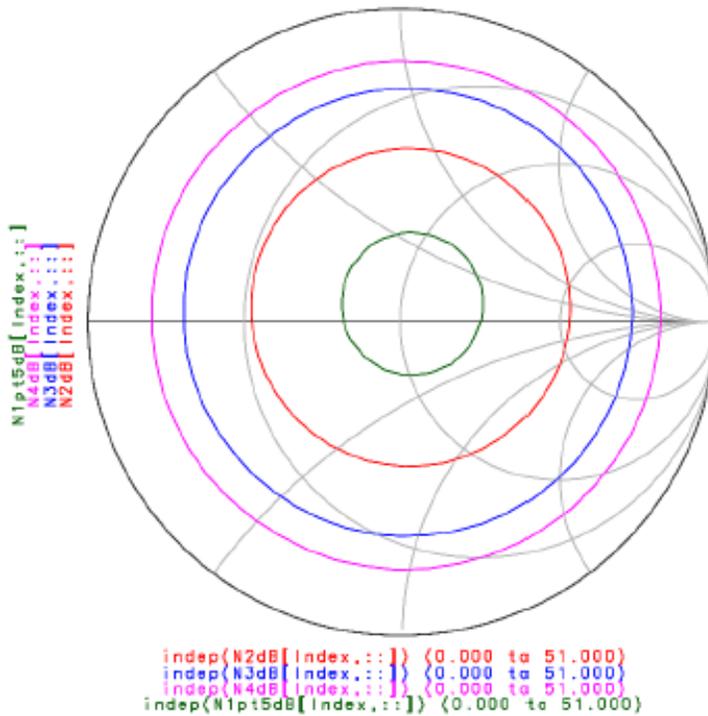


Figure 6 : Étude du facteur de bruit du transistor.

CONSTANT NOISE FIGURE CIRCLES AT 1GHZ.
(1.5 dB, 2 dB, 3 dB and 4 dB).



Index	Eqn
9	<code>Index = find_index(SP.freq,1 GHz)</code>

Notice that using the "find_index" function to identify the index for the desired frequency makes it easy to look at noise noise for various frequencies. Try changing the "1GHz" value in the equation to 2 GHz and note how the Smith Chart is updated.

(Index=9 refers to 10th point in dataset, i.e. 1GHz).

<code>what(N2dB)</code>	
Dependency :	<code>[freq,</code>
Num. Points :	<code>35, 52]</code>
Matrix Size :	<code>scalar</code>
Type :	<code>Complex</code>

Using the "what()" function on one of the `ns_circle` expressions shows the indexing and type of data it creates. This helps determine how to set the trace expressions in the Smith Chart to show noise circles for just a single frequency.

The 1st index is frequency (40 freq. points),
The 2nd index is points in the noise circle (52 pts. define each circle).

Figure 7 : Tracé des cercles de facteur de bruit constant.

4. Design du circuit d'adaptation à l'entrée

Dans le cas des applications qui exigent un amplificateur à faible bruit le concepteur doit chercher un transistor dont le facteur de bruit minimal est inférieur ou égal au facteur de bruit préciser dans les spécifications. En plus, il doit concevoir un circuit d'adaptation à l'entrée du transistor qui assure un coefficient de réflexion égale à Γ_{opt} . Pour ce faire, on utilise le schéma de simulation suivant.

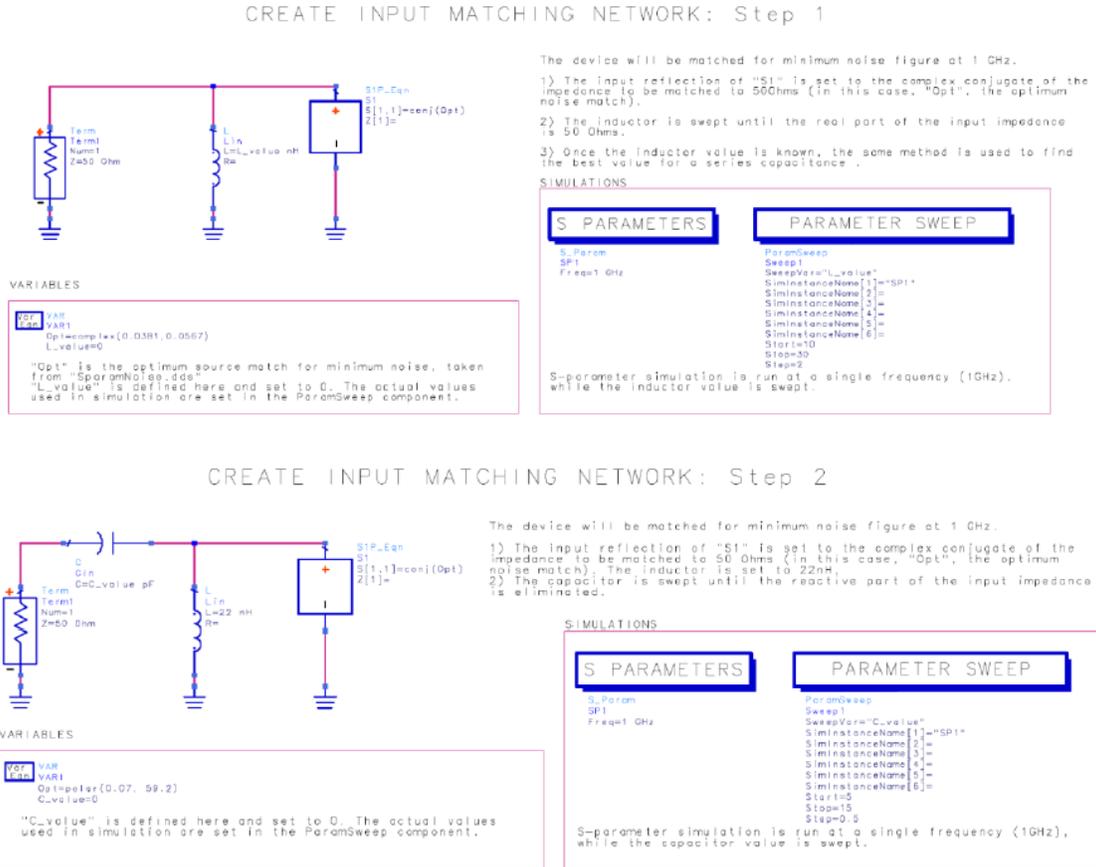


Figure 8 : Schéma du circuit d'adaptation à l'entrée.

Dans les deux schémas précédents nous avons présenté les deux étapes à suivre pour déterminer le circuit d'adaptation à l'entrée permettant un facteur de bruit le plus faible possible. Souvent, dans la pratique on est appelé à faire des compromis entre le facteur de bruit et le gain de l'amplificateur. Pour ce faire, le simulateur offre des équations prédéfinies pour le traçage des cercles de gain disponible constant (*ga_circle*) qui avec les cercles de facteur de bruit constant nous faciliteront la recherche du coefficient de réflexion qui réalise le compromis exigé.

5. Design du circuit d'adaptation à la sortie

Les deux étapes du design du circuit d'adaptation à la sortie sont montrées dans le schéma suivant.

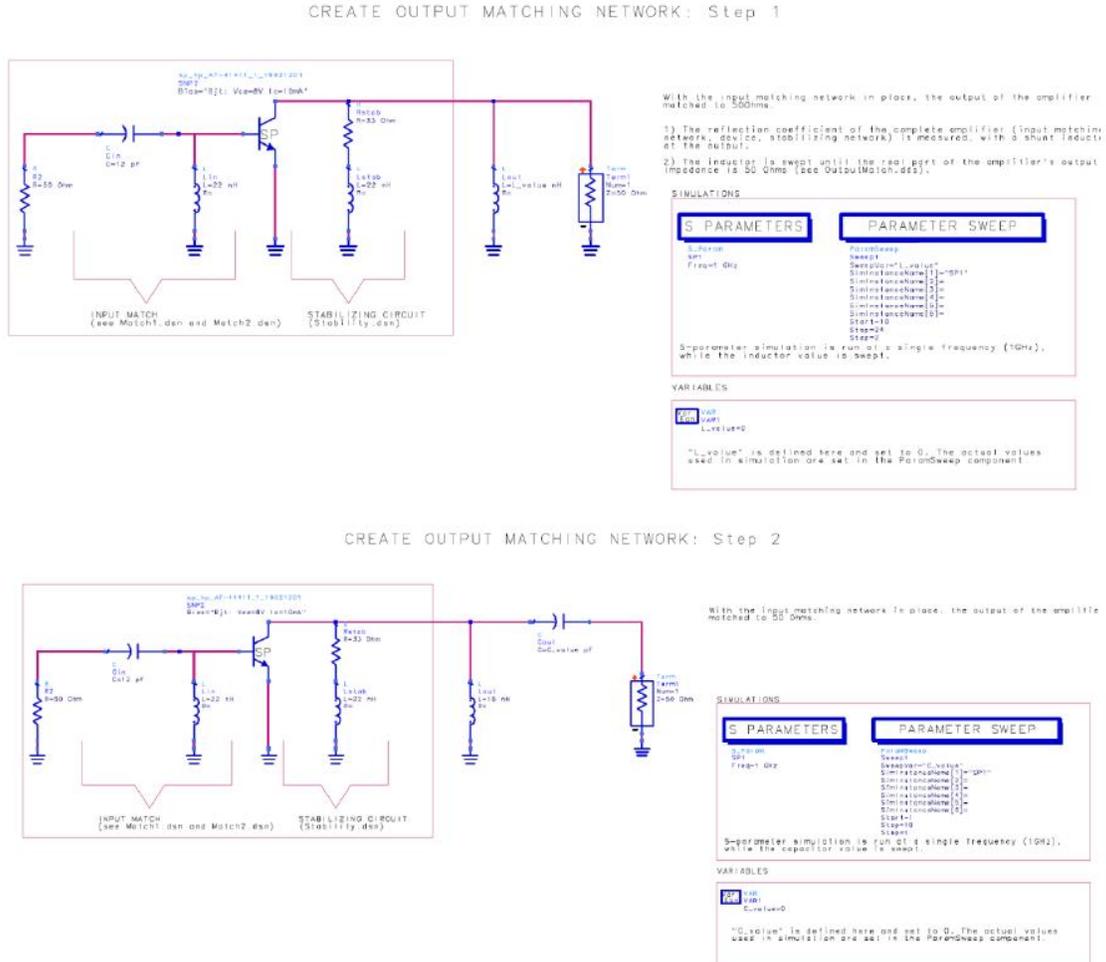
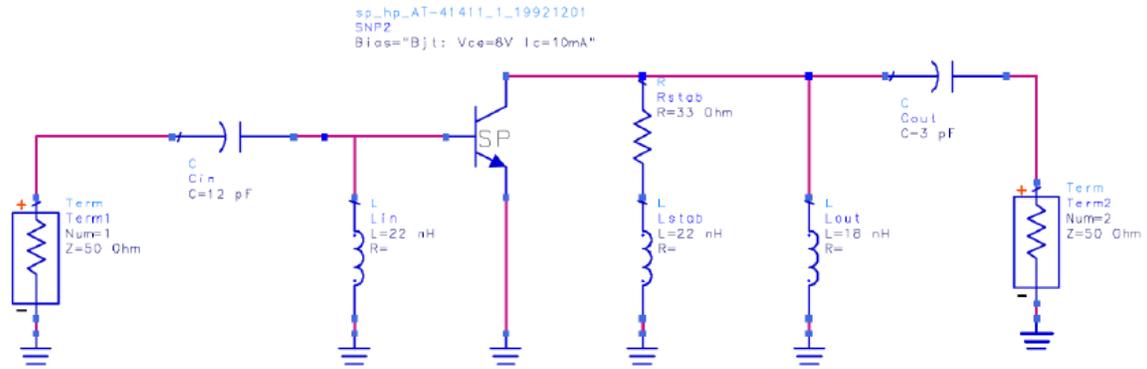


Figure 9 : Schéma du circuit d'adaptation à la sortie.

6. Simulation globale de l'amplificateur LNA

Après la détermination des circuits d'adaptation à l'entrée et à la sortie du transistor tout en ayant comme critère un facteur de bruit minimum, on se propose d'effectuer une simulation de l'amplificateur global afin d'évaluer ses performances; le facteur de bruit, le gain et la qualité l'adaptation. Les deux schémas suivants montrent respectivement le circuit de simulation et la représentation de ses résultats.



This circuit verifies the gain, match and noise figure of the finished amplifier (still using ideal components).

The next step is to replace the ideal components with "real world" parts from the SMT Passive Component Library and the Packaged BJT Library.

SIMULATIONS

S PARAMETERS

S_Param
 SP2
 SweepVar="freq"
 Start=100 MHz
 Stop=3.5 GHz
 Step=100 MHz
 CalcS=yes
 CalcNoise=yes
 BandwidthForNoise=1.0 Hz

OPTIONS

Options
 Options1
 Temp=16.85
 TopologyCheck=yes
 V_RelTol=1e-6 V
 I_RelTol=1e-6 A
 GiveAllWarnings=yes
 MaxWarnings=10

Figure 10 : Schéma de l'amplificateur.

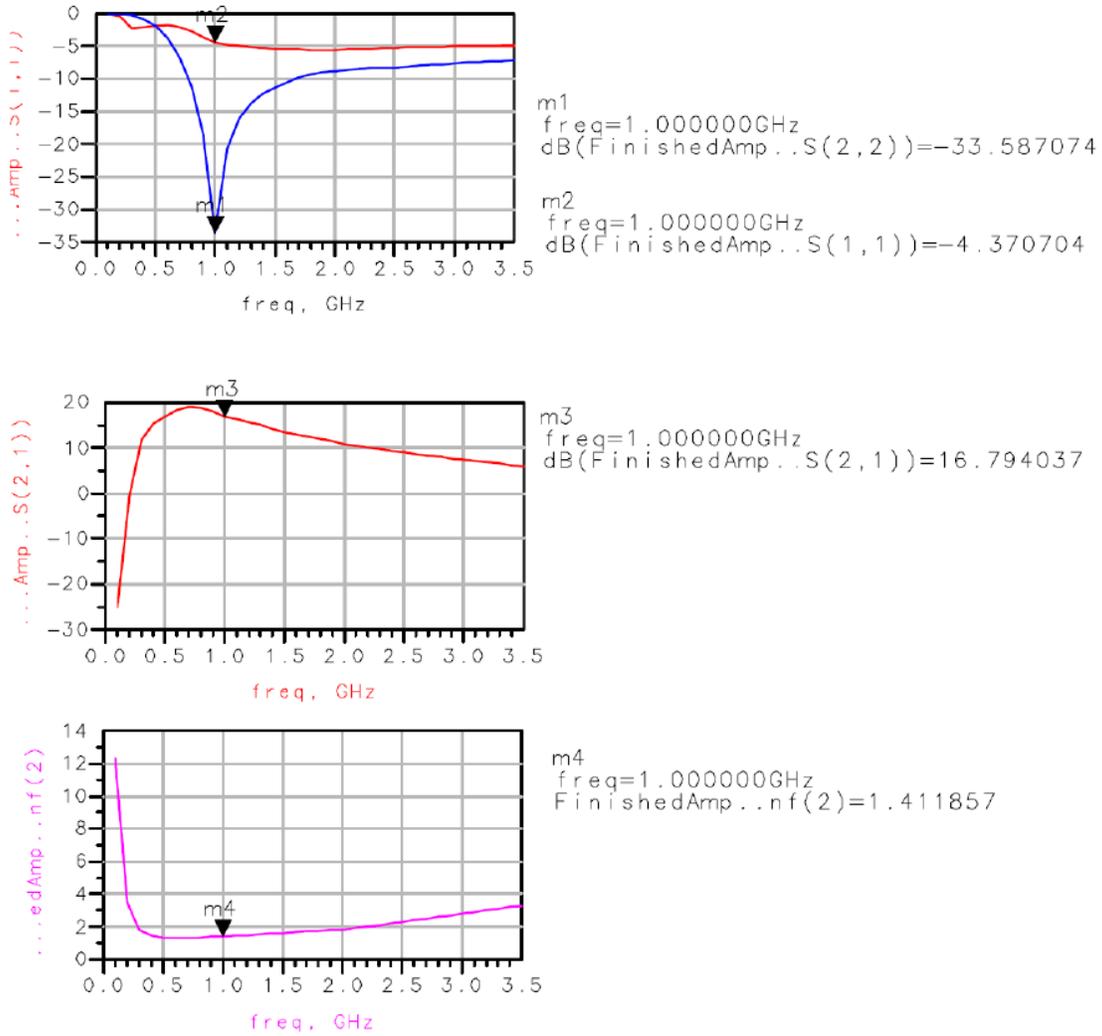


Figure 11: Représentation des propriétés de l'amplificateur (adaptation, gain, facteur de bruit).

Jusqu'à maintenant les circuits d'adaptation sont faits en utilisant des circuits idéaux. Ainsi, pour que les résultats de simulation soit vérifier dans la pratique il faut remplacer ces composants idéaux par des composants plus réalistes contenus dans les bibliothèques du simulateur telles que SMT passive component library et Packaged BJT.